

PATENT ABSTRACTS OF JAPAN

(2)

(11)Publication number : 2001-352070

(43)Date of publication of application : 21.12.2001

(51)Int.Cl.

H01L 29/786

H01L 21/265

H01L 27/04

H01L 21/822

(21)Application number : 2000-398749

(71)Applicant : DENSO CORP

(22)Date of filing : 27.12.2000

(72)Inventor : TAKAHASHI SHIGEKI

HIMI KEIMEI

SHIRAKI SATOSHI

KATO MASATOSHI

(30)Priority

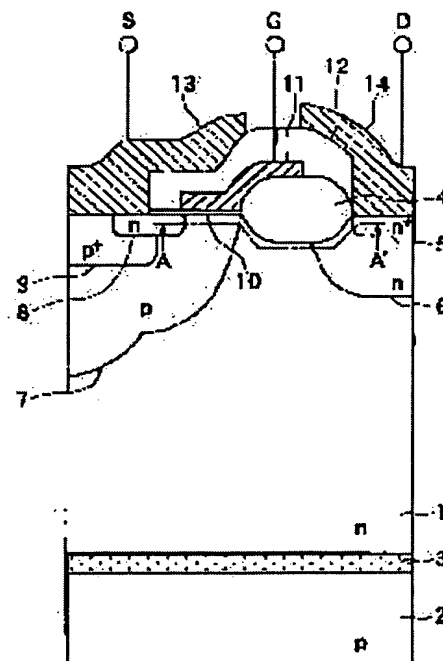
Priority number : 2000106991 Priority date : 07.04.2000 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the resistance to ESD surges.

SOLUTION: In a LDMOS, an n-type region 6 is disposed so as to surround an n+ type drain region 5. The n type region 6 has a higher density than that of an n type substrate 1, and the density becomes higher as it comes closer to the n+ type drain region 5. Moreover, a p+ type contact region 9 disposed adjacent to an n+ type source region 8 is extended under the n+ type source region 8 so as to form a parasitic transistor, which is formed by the n+ type source region 8, p type base region 7, and n type substrate 1, so as to be hardly turned on.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-352070
(P2001-352070A)

(43) 公開日 平成13年12月21日 (2001. 12. 21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 29/786		H 0 1 L 21/265	6 0 4 Z 5 F 0 3 8
21/265	6 0 4	29/78	6 2 3 A 5 F 1 1 0
27/04		27/04	H
21/822		29/78	6 1 3 A
			6 1 6 V

審査請求 未請求 請求項の数22 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2000-398749 (P2000-398749)
(22) 出願日 平成12年12月27日 (2000. 12. 27)
(31) 優先権主張番号 特願2000-106991 (P2000-106991)
(32) 優先日 平成12年4月7日 (2000. 4. 7)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(72) 発明者 高橋 茂樹
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72) 発明者 氷見 啓明
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(74) 代理人 100100022
弁理士 伊藤 洋二 (外2名)

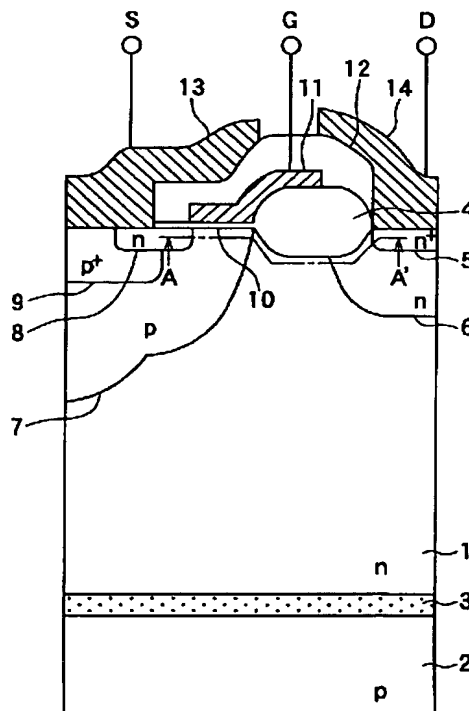
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ESDサージ耐量を向上できるようにする。

【解決手段】 LDMOSにおいて、n⁺型ドレイン領域5を囲むように、n型基板1よりも高濃度に形成され、n⁺型ドレイン領域5に近づくほど高濃度となるn型領域6を配置する。さらに、n⁺型ソース領域8に隣接配置されるp⁺型コンタクト領域9がn⁺型ソース領域8の下部まで入り込むようにし、n⁺型ソース領域8、p型ベース領域7及びn型基板1によって形成される寄生トランジスタがオンし難くなるようにする。



【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体層 (1) を有した基板と、
前記半導体層の表層部に形成された第 2 導電型のベース領域 (7) と、
前記ベース領域の表層部に形成された第 1 導電型のソース領域 (8) と、
前記半導体層の表層部において、前記ベース領域から離間するように配置された第 1 導電型のドレイン領域 (5) と、
前記ソース領域と前記ドレイン領域との間に位置する前記ベース領域をチャネル領域とし、該チャネル領域上に形成されたゲート絶縁膜 (10) と、
前記ゲート絶縁膜上に形成されたゲート電極 (11) と、
前記ソース領域に接続されたソース電極 (13) と、
前記ドレイン領域に接続されたドレイン電極 (14) とを備えてなり、
さらに、前記半導体層の表層部には、前記ドレイン領域と前記ベース領域との間に配置された第 1 導電型領域 (6) が備えられており、
前記第 1 導電型領域は、前記半導体層よりも高濃度で形成され、前記ドレイン領域に近づくほど高濃度となるように構成されていることを特徴とする半導体装置。

【請求項 2】 第 1 導電型の半導体層 (1) を有した基板と、
前記半導体層の表層部に形成された第 2 導電型のベース領域 (7) と、
前記ベース領域の表層部に形成された第 1 導電型のソース領域 (8) と、
前記半導体層の表層部において、前記ベース領域から離間するように配置された第 1 導電型のドレイン領域 (5) と、
前記ソース領域と前記ドレイン領域との間に位置する前記ベース領域をチャネル領域とし、該チャネル領域上に形成されたゲート絶縁膜 (10) と、
前記ゲート絶縁膜上に形成されたゲート電極 (11) と、
前記ソース領域に接続されたソース電極 (13) と、
前記ドレイン領域に接続されたドレイン電極 (14) とを備えてなり、
さらに、前記半導体層の表層部には、前記ドレイン領域を囲むように配置された第 1 導電型領域 (6) が備えられており、
前記第 1 導電型領域は、前記半導体層よりも高濃度で形成され、前記ドレイン領域に近づくほど高濃度となるように構成されていることを特徴とする半導体装置。

【請求項 3】 前記第 1 導電型領域は、該第 1 導電型領域の表面部分のうち前記ドレイン領域近傍における不純物濃度が $5 \times 10^{16} \sim 2 \times 10^{17} \text{ cm}^{-3}$ 程度になっている

ることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記第 1 導電型領域と前記ベース領域との間には、前記第 1 導電型領域よりも低濃度な領域が存在していることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】 前記第 1 導電型領域よりも低濃度な領域における不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 程度になっていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記ソース領域の下部に接するように第 2 導電型領域 (9) が備えられており、該第 2 導電型領域は前記ベース領域よりも高濃度に構成されていることを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載の半導体装置。

【請求項 7】 前記第 2 導電型領域は、前記チャネル領域を避けるように配置されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記ベース領域の表層部には、前記ソース領域に隣接配置され、前記ソース領域と共に前記ソース電極に接続される第 2 導電型のコンタクト領域 (9) が備えられており、

前記コンタクト領域は、前記ベース領域よりも高濃度で形成され、かつ、前記ソース領域の下部まで入り込むように構成されていることを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載の半導体装置。

【請求項 9】 前記コンタクト領域は、前記半導体層の表面のうち、前記ソース領域を挟んで前記ドレイン領域とは反対側において前記ソース電極と接続されていることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 第 1 導電型の半導体層 (1) を有した基板と、
前記半導体層の表層部に形成された第 2 導電型のベース領域 (7) と、
前記ベース領域の表層部に形成された第 1 導電型のソース領域 (8) と、
前記半導体層の表層部において、前記ベース領域から離間するように配置された第 1 導電型のドレイン領域 (5) と、
前記ソース領域と前記ドレイン領域との間に位置する前記ベース領域をチャネル領域とし、該チャネル領域上に形成されたゲート絶縁膜 (10) と、
前記ゲート絶縁膜上に形成されたゲート電極 (11) と、
前記ソース領域に接続されたソース電極 (13) と、
前記ドレイン領域に接続されたドレイン電極 (14) とを備えてなり、
前記ソース領域の下部に接するように第 2 導電型領域 (9) が備えられており、該第 2 導電型領域は前記ベース領域よりも高濃度に構成されていることを特徴とする

半導体装置。

【請求項11】 第1導電型の半導体層(1)を有した基板と、
前記半導体層の表層部に形成された第2導電型のベース領域(7)と、
前記ベース領域の表層部に形成された第1導電型のソース領域(8)と、
前記半導体層の表層部において、前記ベース領域から離間するように配置された第1導電型のドレイン領域(5)と、
前記ソース領域と前記ドレイン領域との間に位置する前記ベース領域をチャネル領域とし、該チャネル領域上に形成されたゲート絶縁膜(10)と、
前記ゲート絶縁膜上に形成されたゲート電極(11)と、
前記ソース領域に接続されたソース電極(13)と、
前記ドレイン領域に接続されたドレイン電極(14)とを備えてなり、
さらに、前記ベース領域の表層部には、前記ソース領域に隣接配置され、前記ソース領域と共に前記ソース電極に接続される第2導電型のコンタクト領域(9)が備えられており、
前記コンタクト領域は、前記ベース領域よりも高濃度で形成され、かつ、前記ソース領域の下部まで入り込むように構成されていることを特徴とする半導体装置。

【請求項12】 第1導電型の半導体層(1)を有した基板のうち、前記半導体層の表層部に第1導電型領域(6)を形成する工程と、
前記第1導電型領域を含む前記半導体層の上に、前記第1導電型領域上の一部と前記半導体層上の一部において部分的に開口するLOCOS酸化膜(4)を形成する工程と、
前記半導体層のうち前記LOCOS酸化膜(4)が開口した部分にゲート絶縁膜(10)を形成する工程と、
前記LOCOS酸化膜上を含み、前記ゲート絶縁膜上にゲート電極(11)を形成する工程と、
前記ゲート電極をマスクとして、前記半導体層の表層部に第2導電型のベース領域(7)を形成する工程と、
前記ベース領域内に、前記ベース領域よりも高濃度の第2導電型のコンタクト領域(9)を形成する工程と、
前記ベース領域内に、第1導電型のソース領域(8)を形成すると共に、前記第1導電型領域内に、該第1導電型領域よりも高濃度な第1導電型のドレイン領域(5)を形成する工程と、
前記ゲート電極上を含み、前記基板の上部に層間絶縁膜(12)を形成する工程と、
前記層間絶縁膜を介して、前記ソース領域および前記コンタクト領域に電気的に接続されるソース電極(13)を形成すると共に、前記ドレイン領域に電気的に接続されるドレイン電極(14)を形成する工程と、を含んで

いることを特徴とする半導体装置の製造方法。

【請求項13】 前記第1導電型領域を形成する工程を第1導電型不純物のイオン注入によって行い、該第1導電型不純物のドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ 以下に設定することを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】 前記第1導電型不純物のドーズ量を $2 \times 10^{13} \text{ cm}^{-2}$ 以上に設定することを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】 前記第1導電型領域の深さを $2 \sim 4 \mu\text{m}$ とすることを特徴とする請求項12乃至14のいずれか1つに記載の半導体装置の製造方法。

【請求項16】 前記LOCOS酸化膜を形成する工程よりも前に、前記第1導電型領域を形成する工程を行うことを特徴とする請求項12乃至15のいずれか1つに記載の半導体装置の製造方法。

【請求項17】 前記ベース領域を形成する工程よりも後に、前記コンタクト領域を形成する工程を行うことを特徴とする請求項12乃至16のいずれか1つに記載の半導体装置の製造方法。

【請求項18】 前記コンタクト領域を形成する工程を第2導電型不純物のイオン注入によって行い、該第2導電型不純物のドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ 以上に設定することを特徴とする請求項12乃至17のいずれか1つに記載の半導体装置の製造方法。

【請求項19】 前記コンタクト領域を形成する工程を高加速度イオン注入によって行うことを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項20】 前記コンタクト領域の深さを $1 \mu\text{m}$ 以下とすることを特徴とする請求項12乃至18のいずれか1つに記載の半導体装置の製造方法。

【請求項21】 前記基板の前記半導体層にCMOSを形成する場合において、該CMOSの隣接し合うセル間に配置される第1導電型のウェル領域の形成工程と、前記第1導電型領域の形成工程とを共用することを特徴とする請求項12乃至20のいずれか1つに記載の半導体装置の製造方法。

【請求項22】 前記基板として、半導体基板(2)上に絶縁膜(3)を介して前記半導体層が形成されてなるSOI基板を用いることを特徴とする請求項12乃至21のいずれか1つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ソース領域とドレイン領域とが半導体基板の横方向に並べられた横型MOSFET(LDMOS)に関する。

【0002】

【従来の技術】 一般的にパワー素子は数万～数十万の小さなLDMOSが並列に接続された構成となっており、これらのLDMOSを同時に動作させることで、出力を

得ている。

【0003】しかしながら、ESD（エレクトロ スタティック ディスチャージ；静電気）サージのように瞬間的に大電流が流れようとする場合、すべてのLDMOSが均一の電流を流すわけではないため、一部のLDMOSに局所的に大電流が流れ、素子破壊が生じたり、素子に接続された配線が溶断されたりするという問題がある。

【0004】このため、ESDサージ耐量の向上が要望され、特に、自動車用の応用分野では 10 kV/mm^2 程度という高いESDサージ耐量が要望されている。このESDサージ耐量を向上するため、従来ではICチップの外部にコンデンサ等の外付け素子を付加する方法を採用しているが、このような方法ではコストアップが避けられない。

【0005】

【発明が解決しようとする課題】本発明は上記に鑑みて、ESDサージ耐量を向上できる半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するべく、本発明者らは以下の検討を行った。

【0007】ESDサージ時の電流の不均一は、例えば、チップ上の電極抵抗のパラツキ等が要因となって発生する。すなわち、ワイヤボンダ部から近いほど配線抵抗が小さく電流が流れ易くなるのに対して、遠いほど配線抵抗が大きく電流が流れ難くなるため、電流の不均一を発生させるのである。

【0008】このような要因を考慮に入れ、図13に示すESDサージ発生回路50aを3セルのLDMOS51a、51b、51cが備えられたLDMOSチップ50bに接続した回路、すなわち、高電圧発生回路に3セルのLDMOS51a～51cを接続し、各LDMOS51a～51cのドレイン端子間に、ワイヤボンダ部からの距離に応じた配線抵抗に相当する抵抗52、53を配置した回路を想定した。

【0009】このサージ発生回路50aでは、スイッチ54をオンさせると、高圧電源55から電力が供給され、コンデンサ56が充電される。そして、スイッチ54をオフした後、スイッチ57をオンさせると、3セルのLDMOS51a～51cそれぞれに電流が流れる。このとき、回路内にL負荷58が含まれているため、3セルのLDMOS51a～51cに大電流が流れることになる。

【0010】そして、このような回路を用いてシミュレーション解析を行ったところ、各MOSFET51a～51cのドレイン電流 I_{d1} 、 I_{d2} 、 I_{d3} 、及び各MOSFET51a～51cのドレイン電圧 V_{d1} 、 V_{d2} 、 V_{d3} は、図14のように表された。

【0011】この図から判るように、電流集中が開始し

たときから、電源供給ラインに直接接続されたLDMOS51aに流れるドレイン電流 I_{d1} が急激に増大しているのに対し、抵抗52、53を介して電源供給ラインに接続されたLDMOS51b、51cに流れるドレイン電流 I_{d2} 、 I_{d3} は減少している。

【0012】これは、図15に示すように、LDMOSの電流電圧特性が負性抵抗特性を有しており、電流集中開始時点において、図の上向き矢印で示すように電流の大きなLDMOS51aが負性抵抗領域に入り正帰還がかかってドレイン電圧を低下させる反面、図の下向き矢印で示すようにLDMOS51b、51cが負性抵抗領域に入っていないためドレイン電圧の低下に伴ってドレイン電流を低下させるからである。

【0013】この負性抵抗特性は、PNジャンクションに形成される空乏層幅が変わらないのにも関わらず、ドレイン電流を増大させようとし、ソースドレイン間電圧が減少するために発生する。すなわち、ソースドレイン間電圧はソースドレイン間における電界強度の積分値に相当するが、ドレイン電流が大電流になる時には電界強度が低下するため、ソースドレイン間電圧が減少し、負性抵抗特性となる。シミュレーションにより、ドレイン電流が20Aの場合と200Aの場合とについて、電界強度分布の変化を調べたところ、図16

(a)、(b)に示す結果が得られた。また、図16

(a)、(b)のA-A'部での電界強度を示すと図17のようになった。この結果からも、ドレイン電流が増大すると、ソースドレイン間における電界強度の積分値（面積）に相当するソースドレイン間電圧が減少し、負性抵抗特性を発生させることが判る。

【0014】このようにLDMOSの電流電圧特性が図7に示す負性抵抗特性を有していることから、LDMOS51aに関しては抵抗が負の状態にあるので、電流が流れるほど電圧が小さくなり、ますます電流が流れるようになるのに対し、負性抵抗に入っていないLDMOS51b、51cに関しては抵抗が正の状態にあるので、電流が減少する。

【0015】このため、LDMOS51aに電流集中が生じ、LDMOS51aが素子破壊されたり、LDMOS51aが接続される配線が溶断されたりするのである。

【0016】そこで、本発明者らは、上記負性抵抗特性を改善すれば、局所的な電流集中を防止でき、ESDサージ耐量の向上が図れると考え、負性抵抗特性改善についての検討を行った。

【0017】上述したように、負性抵抗特性は、PNジャンクションに形成される空乏層幅が変わらないのにも関わらず、ドレイン電流を増大させようとするために発生する。従って、PNジャンクションに形成される空乏層幅が稼げる構造、つまりドレイン領域近傍において空乏層が延びにくくなる構造とすることにより、負性抵抗

特性を改善できると考えられる。

【0018】そして、試行錯誤の結果、上記条件を満たす構造として図18に示すLDMOSを考え出すに至った。

【0019】このLDMOSは、ドレイン領域がn型領域6で囲まれた構成となっており、ドレイン領域5を中心として、ドレイン領域5に近づくに連れてn型領域6のn型不純物濃度が濃くなる構造となっている。

【0020】このような構造のLDMOSについて、n型領域6の濃度、具体的にはn型領域6の表面部における不純物濃度（以下、表面濃度という）を変化させ、負性抵抗特性がどのように変化するかをシミュレーション解析により調べた。その結果を図19に示す。但し、このシミュレーションでは、n型領域6の表面濃度を図20の斜線部で示す範囲内、具体的にはn型領域6を設けていない場合と同等の表面濃度から表面濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 程度までの範囲内で変化させ、基板表面から $2 \mu\text{m}$ の深さのところが表面濃度の $1/10$ の濃度となるような拡散条件として上記解析を行っている。

【0021】この結果を見てみると、負性抵抗特性に2つの変曲点1、2が存在していることが分かる。これら2つの変曲点1、2の一方は、ソース領域8とベース領域7及びドリフト領域（n型基板1）によって形成される寄生トランジスタがオンしてしまうために生じていると考えられ、他方は高電界領域の広がり方がドレイン領域5に達するために生じていると考えられる。

【0022】そこで、2つの変曲点1、2の要因を分析するため、図21に示すように、図18に示したLDMOSのソース領域8を削除してダイオード構造とし、このダイオード構造の負性抵抗特性を調べたところ、図22に示す結果が得られた。

【0023】この結果から明らかなように、ダイオード構造においては負性抵抗特性の変曲点2しか存在していない。このことから、2つの変曲点1、2のうち変曲点1が寄生トランジスタに起因して発生していたことが判る。

【0024】そして、残る一方の変曲点2の変化を見てみると、n型領域の表面濃度が濃くなるほど変曲点2が上昇していることが判る。すなわち、表面濃度を濃くするほど負性抵抗領域に入る電流値が増加し、負性抵抗領域に入りにくくなるようにできるのである。

【0025】従って、n型領域6の表面濃度を濃くすることにより、一部のLDMOSが負性抵抗領域に入り局所的に高電流が流れてしまうことを防止でき、ESDサージ耐量を向上することが可能となる。

【0026】一方、残る一方の変曲点1は、高電界領域の広がり方がドレイン領域5に達するために生じていると考えられる。この高電界領域の広がり方について調べるため、図23（a）に示すように、n型領域6の表面濃度を所定値（ここでは、 $5 \times 10^{16} \text{ cm}^{-3}$ ）とし、ドレ

イン電流値を変化させて電界強度分布を調べた。その結果、図23（b）に示す結果が得られた。なお、図23（b）の電界強度分布の横軸は、図23（c）に示すダイオード構造の横方向に相当する。

【0027】この図から判るように、高電界領域はドレイン電流が増加するに連れて広がりを増す。このため、ESDサージ時に発生しうるドレイン電流を見込んで、ドレイン電流がESDサージ時と同等若しくはそれより大きくなる際（例えば、 200 A ）に高電界領域がドレイン領域に達するようにすれば、ESDサージ時においても一部のLDMOSが負性抵抗領域に入ることを防止できる。

【0028】以上説明したように、n型領域の表面濃度が濃くなるようにすることで、LDMOSが負性抵抗領域に入るときの電流値を増加させることができ、さらに、ドレイン電流がESDサージ時と同等若しくはそれより大きくなる際に高電界領域がドレイン領域に達するようにn型領域の表面濃度を設定すれば、よりLDMOSが負性抵抗領域に入ることを防止できる。

【0029】そして、さらに、寄生トランジスタがオンし難い構造のLDMOSとすれば、寄生トランジスタに起因して発生する変曲点1も改善することができ、よりLDMOSが負性抵抗領域に入ることを防止できる。

【0030】そこで、請求項1に記載の発明では、第1導電型の半導体層（1）を有した基板と、半導体層の表層部に形成された第2導電型のベース領域（7）と、ベース領域の表層部に形成された第1導電型のソース領域（8）と、半導体層の表層部において、ベース領域から離間するように配置された第1導電型のドレイン領域

（5）と、ソース領域とドレイン領域との間に位置するベース領域をチャネル領域とし、該チャネル領域上に形成されたゲート絶縁膜（10）と、ゲート絶縁膜上に形成されたゲート電極（11）と、ソース領域に接続されたソース電極（13）と、ドレイン領域に接続されたドレイン電極（14）とを備えてなり、さらに、半導体層の表層部には、ドレイン領域とベース領域との間に配置された第1導電型領域（6）が備えられ、第1導電型領域は、半導体層よりも高濃度で形成され、ドレイン領域に近づくほど高濃度となるように構成されていることを特徴としている。

【0031】このように、ドレイン領域とベース領域との間に、半導体層よりも高濃度で形成され、ドレイン領域に近づくほど高濃度となる第1導電型領域を配置すれば、LDMOSが負性抵抗領域に入るときの電流値を増加させることができ、ESDサージ耐量を向上させることができる。

【0032】例えば、請求項2に示すように、ドレイン領域を囲むように第1導電型領域（6）を形成すればよい。

【0033】具体的には、請求項3に示すように、第1

導電型領域の表面部分のうちドレイン領域近傍における不純物濃度が $5 \times 10^{16} \sim 2 \times 10^{17} \text{ cm}^{-3}$ 程度になっているのが好ましい。

【0034】なお、第1導電型領域とベース領域とが接触していても良いが、請求項4に示すように第1導電型領域とベース領域の間に第1導電型領域よりも低濃度とされた領域が存在していても良い。この場合、請求項5に示すように第1導電型領域よりも低濃度とされた領域の不純物濃度は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-3}$ となる。

【0035】請求項6又は10に記載の発明においては、ソース領域の下部に接するように第2導電型領域(9)が備えられており、該第2導電型領域はベース領域よりも高濃度に構成されていることを特徴としている。

【0036】このような構成の第2導電型領域を備えることにより、寄生トランジスタがオンし難くなるようにできる。これにより、よりLDMOSが負性抵抗領域に入ることを防止でき、さらにESDサージ耐量を向上させることができる。

【0037】この場合、請求項5に示すように、チャネル領域を避けるように第2導電型領域を配置するのが好ましい。

【0038】請求項8又は11に記載の発明においては、ベース領域の表層部には、ソース領域に隣接配置され、ソース領域と共にソース電極に接続される第2導電型のコンタクト領域(9)が備えられており、コンタクト領域は、ベース領域よりも高濃度で形成され、かつ、ソース領域の下部まで入り込むように構成されていることを特徴としている。このように、請求項6に示した第2導電型領域をベースコンタクト用のコンタクト領域で構成することも可能である。

【0039】請求項12に記載の発明においては、第1導電型の半導体層(1)を有した基板のうち、半導体層の表層部に第1導電型領域(6)を形成する工程と、第1導電型領域を含む半導体層の上に、第1導電型領域上の一部と半導体層上の一部において部分的に開口するLOCOS酸化膜(4)を形成する工程と、半導体層のうちLOCOS酸化膜(4)が開口した部分にゲート絶縁膜(10)を形成する工程と、LOCOS酸化膜上を含み、ゲート絶縁膜上にゲート電極(11)を形成する工程と、ゲート電極をマスクとして、半導体層の表層部に第2導電型のベース領域(7)を形成する工程と、ベース領域内に、ベース領域よりも高濃度の第2導電型のコンタクト領域(9)を形成する工程と、ベース領域内に、第1導電型のソース領域(8)を形成すると共に、第1導電型領域内に、該第1導電型領域よりも高濃度な第1導電型のドレイン領域(5)を形成する工程と、ゲート電極上を含み、基板の上部に層間絶縁膜(12)を形成する工程と、層間絶縁膜を介して、ソース領域およびコンタクト領域に電氣的に接続されるソース電極(1

3)を形成すると共に、ドレイン領域に電氣的に接続されるドレイン電極(14)を形成する工程と、を含んでいることを特徴としている。このような工程により、請求項8や請求項9に示す半導体装置を製造することができる。

【0040】請求項13に記載の発明では、第1導電型領域を形成する工程を第1導電型不純物のイオン注入によって行い、該第1導電型不純物のドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ 以下に設定することを特徴としている。このようなドーズ量とすることで、第1導電型領域の濃度をサステイン特性が確実に正になる程度にすることができる。

【0041】請求項14に記載の発明では、第1導電型不純物のドーズ量を $2 \times 10^{13} \text{ cm}^{-2}$ 以上に設定することを特徴としている。このようなドーズ量とすることで、第1導電型領域の濃度を第1導電型領域内で広がる空乏層がドレイン領域に達してしまわない程度にできる。

【0042】請求項15に記載の発明では、第1導電型領域の深さを $2 \sim 4 \mu\text{m}$ とすることを特徴としている。このように、第1導電型領域を $2 \mu\text{m}$ 以上とすることで、LOCOS酸化膜への不純物の吸い上げによるLOCOS酸化膜界面の不安定を防止できる。また、第1導電型領域を $4 \mu\text{m}$ 以下とすることで、ソース・ドレイン間隔の増大によるオン抵抗の増大を防止できる。

【0043】請求項16に記載の発明では、LOCOS酸化膜を形成する工程よりも前に、第1導電型領域を形成する工程を行うことを特徴としている。このように、LOCOS酸化膜形成を第1導電型領域の形成後に行うことで、LOCOS酸化膜形成時の熱も第1導電型領域の拡散に利用することができる。

【0044】請求項17に記載の発明では、ベース領域を形成する工程よりも後に、コンタクト領域を形成する工程を行うことを特徴としている。このようにすることで、ベース領域の形成時の熱によって、コンタクト領域が拡散し過ぎることを防止することができる。なお、このコンタクト領域を形成する工程では、例えば請求項18に示されるように、第2導電型不純物のドーズ量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上に設定される。また、請求項20に示されるように、例えばコンタクト領域の深さが $1 \mu\text{m}$ 以下に設定される。

【0045】請求項19に記載の発明では、コンタクト領域を形成する工程を高加速度イオン注入によって行うことを特徴としている。このようにすれば、半導体層の表面よりも深い位置にコンタクト領域が形成され、第1導電型領域の濃度を高くしてもチャネル部分の濃度を低く抑えることができるという効果が得られる。

【0046】請求項21に記載の発明では、基板の半導体層にCMOSを形成する場合において、CMOSの隣接し合うセル間に配置される第1導電型のウェル領域の

形成工程と、第1導電型領域の形成工程とを共用することを特徴としている。このように、CMOSの形成工程と共用することで、製造工程の簡略化を図ることができる。

【0047】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0048】

【発明の実施の形態】（第1実施形態）図1に、本発明の一実施形態を適用したLDMOSの断面構造を示す。以下、図1に基づいて本実施形態におけるLDMOSの構成について説明する。

【0049】LDMOSは、シリコンからなるn型基板（半導体層）1とp型基板2とがシリコン酸化膜からなる絶縁膜3を介して貼り合わされたSOI基板上に形成されている。

【0050】n型基板1は不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 程度で構成されており、n型基板1の表面には絶縁膜4が形成されている。n型基板1の表層部には、この絶縁膜4と接するように、高濃度とされたn⁺型ドレイン領域5が形成されている。そして、このn⁺型ドレイン領域5を囲むようにn型領域6が形成されている。このn型領域6は絶縁膜4の下部にまで入り込んでおり、n⁺型ドレイン領域5を中心としてn⁺型ドレイン領域5に近づくほど濃度が濃くなるように構成されている。

【0051】また、n型基板1の表層部には、p型ベース領域7が形成されている。このp型領域は、絶縁膜の端部近傍で終端している。なお、p型ベース領域7は部分的に深さが深くされており、この深くされた領域がディープベース層として働くようになっている。

【0052】このp型ベース領域7の表層部には、絶縁膜4から離間するようにn⁺型ソース領域8が形成されている。さらに、p型ベース領域7の表層部には、n⁺型ソース領域8と接するようにp⁺型コンタクト領域9が形成されている。このp⁺型コンタクト領域9は、n⁺型ソース領域8を挟んでn⁺型ドレイン領域5の反対側に配置され、n⁺型ソース領域8の下層部にまで入り込んだ構成となっている。

【0053】n⁺型ソース領域8とn⁺型ドレイン領域5（絶縁膜）の間に挟まれたp型ベース領域7の表面上にはゲート絶縁膜10が配置されており、このゲート絶縁膜10上にゲート電極11が備えられている。このような構成により、ゲート電極11の下部に位置するp⁺型ベース領域7の表層部をチャネル領域にすると共に、n型基板1をn型ドリフト領域として、MOS動作を行うようになっている。

【0054】また、ゲート電極11を覆うように層間絶縁膜12が配置され、この層間絶縁膜12上にソース電極13及びドレイン電極14がパターンニングされてい

る。そして、層間絶縁膜12に形成されたコンタクトホールを介して、ソース電極13はn⁺型ソース領域8及びp⁺型コンタクト領域9と接続され、ドレイン電極14はn⁺型ドレイン領域5と接続されている。

【0055】なお、図示しないが、ソース電極13及びドレイン電極14等を覆うように、SOI基板表面は保護膜等で覆われている。

【0056】続いて、図2に、図1のA-A'部分における濃度プロファイルを示し、LDMOSの各構成要素の濃度関係について説明する。

【0057】図2に示すように、n⁺型ソース領域8及びn⁺型ドレイン領域5では、n型不純物濃度が非常に高くなっている。これに対し、n型領域6では、n⁺型ソース領域8やn⁺型ドレイン領域5ほど濃度が高くなってはいないが、n型基板1の濃度より高くされ、n⁺型ドレイン領域5に近づくに連れて順にn型不純物濃度が高くなるように構成されている。具体的には、n型領域6のうちn⁺型ドレイン領域5に接する部分における表面濃度が例えば $5 \times 10^{16} \sim 2 \times 10^{17} \text{ cm}^{-3}$ となるように、n型領域6に濃度勾配を持たせた構成としている。

【0058】つまり、本実施形態のLDMOSでは、n⁺型ドレイン領域5を囲むようにn型基板1より高濃度なn型領域6を形成しており、さらに、ドレイン電流がESDサージ時と同等若しくはそれより大きくなる際に高電界領域がn⁺型ドレイン領域5に達するような構成としている。

【0059】このように、n型基板1より高濃度なn型領域6をn⁺型ドレイン領域5を囲むように形成することにより、大電流なドレイン電流が流れようとしても高電界領域が広がり難くなるようにでき、ソースードレイン間における電界強度の積分値に相当するソースードレイン間電圧を高いまま維持することが可能になる。

【0060】このため、ESDサージ時に生じる高電界領域の広がりがn⁺型ドレイン領域5に達するために生じるソースードレイン間電圧の減少を防止することができ、LDMOSが負性抵抗領域に入るときの電流値を増加させることができる。これにより、上記した2つの変曲点の一方を改善することができ、ESDサージ時においても一部のLDMOSが負性抵抗領域に入ること防止できる。

【0061】さらに、ドレイン電流がESDサージ時と同等若しくはそれより大きくなる際に高電界領域がn⁺型ドレイン領域5に達するようにn型領域6の不純物濃度を調節することにより、n型領域6を濃くし過ぎることなく、LDMOSが負性抵抗領域に入るときの電流値を増加させることができる。

【0062】一方、本実施形態におけるLDMOSでは、p⁺型コンタクト領域9がn⁺型ソース領域8の下部まで入り込むように形成している。より詳しくは、p⁺

型コンタクト領域9がn⁺型ソース領域8の下部まで入り込み、かつチャネル領域までは入り込まないようにしている。つまり、チャネル領域が形成される際に、p⁺型コンタクト領域9による影響が無い程度までp⁺型コンタクト領域9がn⁺型ソース領域8の下部まで入り込むようにしている。

【0063】このような構成とすることにより、n⁺型ソース領域8とp型ベース領域7の間に高濃度なp⁺型領域が配置されることになり、n⁺型ソース領域8とp型ベース領域7及びn型基板1（n型ドリフト領域）とによって形成されるPNP寄生トランジスタがオンし難くなるようにできる。

【0064】これにより、寄生トランジスタがオンしてしまわない構造のLDMOSとすれば、寄生トランジスタに起因して発生する変曲点も改善することができ、よりLDMOSが負性抵抗領域に入ることを防止できる。

【0065】このような構成のLDMOSについてブレイクダウン時における電流電圧（V_d-I_d）特性を調べたところ、図3に示されるように、ESDサージ時において発生しうるドレイン電流I_dの最大値が200A以下であると想定すると、この範囲内においてはドレイン電流I_dが高くなっても電圧V_dが低くならない特性が得られた。すなわち、負性抵抗領域に入る電流値が200A程度若しくはそれ以上となる特性が得られた。

【0066】そして、上記構成のLDMOSについて、上記図13に示すように3セルのLDMOSを構成し、シミュレーション解析を行ったところ、各LDMOS51a~51cのドレイン電流I_{d1}、I_{d2}、I_{d3}、及び各LDMOS51a~51cのドレイン電圧V_{d1}、V_{d2}、V_{d3}は、図4のように表された。

【0067】この図から判るように、電源供給ラインに直接接続されたLDMOS54aに流れるドレイン電流I_{d1}も、抵抗55、56を介して電源供給ラインに接続されたLDMOS54b、54cに流れるドレイン電流I_{d2}、I_{d3}もほぼ同等の値を示しており、ドレイン電流I_{d1}のみが急激に上昇しているということはない。また、ドレイン電圧を見ても、ドレイン電流I_{d1}~I_{d3}が上昇しているのに反して落ち込んではいない。

【0068】このように、上記構成とすることにより、LDMOSのESDサージ耐量を向上することができる。

【0069】なお、本実施形態におけるLDMOSは、従来のLDMOSに対してn型領域6とp⁺型コンタクト領域9を形成していることが異なるが、これらの領域は、n型基板1表面に不純物をイオン注入したり、固相拡散させたりすることに形成される。これらn型領域6とp⁺型コンタクト領域9をどのタイミングで形成してもよいが、n型領域6に関しては長時間熱拡散させる必要があることから、好ましくはn型ドレイン領域5やn

型ソース領域8、p⁺型コンタクト領域9よりも先に形成するほうがよい。

【0070】図5~図8に本実施形態に示すLDMOSの製造工程の一例を示し、これらの図に基づいてLDMOSの製造方法を説明する。なお、ここでは、LDMOSと他の素子領域とを絶縁分離するトレンチ等についても図示して説明する。

【0071】〔図5（a）に示す工程〕まず、p型基板2上に酸化膜等の絶縁膜3とn⁺型エピ層（もしくはn型基板）1が備えられたSOI基板を用意する。ここでは、例えば、n⁺型エピ層1のn型不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 、厚さが約10 μm 、酸化膜3の厚さが約2 μm のものをを用いる。

【0072】〔図5（b）に示す工程〕n⁺型エピ層1に対してフォトリソエッチングを行い、絶縁膜3に達するトレンチ20を形成する。そして、トレンチ20の内壁面を含みn⁺型エピ層1の表面を熱酸化し、トレンチ内壁面を熱酸化膜21で覆う。この後、トレンチ20の内部を埋め込むようにポリシリコン膜22を堆積させることで、トレンチ20による素子分離領域を形成する。

【0073】〔図5（c）に示す工程〕LDMOSの外周部領域にp型不純物、例えばボロンを選択的にイオン注入したのち、続いて、n⁺型エピ層1の表層部に選択的にn型不純物、例えばリンをドーズ量 $2 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の範囲でイオン注入する。これにより、p型不純物注入層23およびn型不純物注入層24が形成される。

【0074】このとき、n型不純物のドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ 以下としているためサステイン特性が確実に正になるようにすることができ、 $2 \times 10^{13} \text{ cm}^{-2}$ 以上としているため図1に示すn型領域6内で広がる空乏層がn⁺型ドレイン層5に達してしまわないようにすることができる。

【0075】なお、SOI基板中にLDMOSと共に複合ICを形成する際には、この工程におけるp型不純物のイオン注入の際に、複合ICのCMOS部におけるPウェル領域形成のためのp型不純物のイオン注入も共用する。

【0076】〔図6（a）に示す工程〕熱処理を行い、図5（c）に示す工程で注入されたp型不純物およびn型不純物を共に熱拡散させる。これにより、各不純物注入層23、24内の不純物が拡散し、pウェル領域25およびn型領域6が形成される。このとき、n型不純物の拡散深さを浅くすると後工程（図6（b）参照）で形成するLOCOS酸化膜4への不純物の吸い上げによってLOCOS酸化膜界面が不安定になり、一方、深くすると横方向への広がり分を見込んだ広いソース・ドレイン間隔に設定しなければならずオン抵抗を増大させることになるため、拡散深さが2~4 μm 程度となるようにするのが好ましい。なお、素子の耐圧はn型領域6の幅

で調整されることから、要求される耐圧に合わせてn型領域6の幅が調整される。

【0077】〔図6(b)に示す工程〕酸化膜と窒化膜とを順に成膜したのち、窒化膜のうち後工程(図7(c)、図8(a)参照)で形成するn⁺型ドレイン領域5とp型ベース領域7との間およびp型ウェル領域25等の所望の領域を除去し、その後、熱酸化を行うという周知のLOCOS酸化法によって、n⁺型ドレイン領域5とp型ベース領域7との間などにLOCOS酸化膜4を形成する。その後、酸化膜と窒化膜を除去する。このように、LOCOS酸化膜形成をn型領域6の形成後に行うことで、LOCOS酸化膜形成時の熱もn型不純物の拡散に利用することができる。

【0078】〔図6(c)に示す工程〕熱酸化等によってLOCOS酸化膜4の間にゲート酸化膜10を形成する。

【0079】〔図7(a)に示す工程〕ゲート酸化膜10およびLOCOS酸化膜4の上にポリシリコン膜をデポジションしたのち、ポリシリコン膜をパターニングすることで、ゲート電極11を形成する。

【0080】〔図7(b)に示す工程〕ゲート電極11をマスクにし、p型不純物として例えばボロンをイオン注入する。そして、注入されたボロンを熱拡散させることでp型ベース領域7を形成する。このとき、拡散深さは2 μ m程度、拡散温度は1000℃以上、拡散時間は2時間以上とするのが好ましい。

【0081】〔図7(c)に示す工程〕ゲート電極11をマスクにし、ソース形成領域にp型不純物として例えばボロンをイオン注入する。そして、注入されたボロンを熱拡散させることでp⁺型コンタクト領域9を形成する。このとき、ボロンのドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ 以上かつ $5 \times 10^{15} \text{ cm}^{-2}$ 以下、拡散深さを0.3 μ m以上かつ1 μ m以下、表面濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 程度としている。また、p型ベース領域7の形成の際の拡散温度よりも低い温度、又は拡散時間よりも短い時間にすると共に、イオン注入する部分のマスク幅を選択することで、熱拡散後にp型不純物がゲート電極11の下に到達しないようにしている。なお、この工程をp型ベース領域7の形成よりも後に行っているため、p型ベース領域7の形成時の熱によって、p⁺型コンタクト領域9が拡散し過ぎることを防止することができる。

【0082】〔図8(a)に示す工程〕p⁺型コンタクト領域9の表層部にp型不純物としてのボロンをイオン注入することで更に高濃度のp⁺型領域9aを形成すると共に、p⁺型コンタクト領域9のうちのp⁺型領域9aを囲む部分やn型領域6にn型不純物としてのヒ素をイオン注入することでn⁺型ソース領域8およびn⁺型ドレイン領域5を形成する。このとき、n⁺型ドレイン領域5に関してはLOCOS酸化膜4がマスクとされ、n⁺型ドレイン領域5がLOCOS酸化膜4に対して自己整

合的に形成される。

【0083】〔図8(b)に示す工程〕ゲート電極11を含む基板上全面にBPSG膜等で構成された層間絶縁膜12を成膜したのち、層間絶縁膜12を選択的に除去することでn⁺型ドレイン領域5やp⁺型領域9aおよびn⁺型ソース領域8につながるコンタクトホールを形成する。

【0084】〔図8(c)に示す工程〕層間絶縁膜12の上にAl膜をデポジションした後、Al膜をパターニングすることで、コンタクトホールを介してp⁺型領域9aおよびn⁺型ソース領域8に電氣的に接続されるソース電極13を形成すると共に、n⁺型ドレイン領域5に電氣的に接続されるドレイン電極14を形成する。

【0085】このようにして、図1に示したような、ESDサージ耐量の向上が可能なLDMOSを製造することができる。なお、図5～図8では、図1に示したディープベース層を省略しているが、図5(c)に示す工程においてイオン注入の幅および飛程を2段階に分けて行えば良い。

【0086】(他の実施形態)なお、上記実施形態では、n型領域6の濃度プロファイルとして、表面濃度が $5 \times 10^{16} \sim 2 \times 10^{17} \text{ cm}^{-3}$ 程度である場合について説明したが、これは例示であり、n型領域6が少なくともn型基板1の濃度よりも濃く、n⁺型ドレイン領域5に近づくに連れて高濃度化する構成であれば、負性抵抗領域に入る電流値が大きくなるようにできる。

【0087】また、上記実施形態においては、p⁺型コンタクト領域9がn⁺型ソース領域8の下部に入り込むように構成しているが、p⁺型コンタクト領域9とは別にp⁺型領域を形成し、n⁺型ソース領域8の下部に接するように配置すれば、上記実施形態と同様の効果を得ることができる。

【0088】また、上記実施形態においては、p型基板上に酸化膜とn型エピ層とが形成されたSOI基板に本発明の一実施形態を適用した場合について説明しているが、例えば、図9に示すようにn型エピ層1のうち酸化膜との界面に位置する部分に埋め込みn⁺型層30を形成したものに本発明を適用してもよく、図10に示すようにn型エピ層1の上層部にn型エピ層1よりも濃度が高くなるようなn型ドリフト層31を形成したものに本発明を適用してもよい。

【0089】また、図7(c)に示したp⁺型コンタクト領域9の形成時に高加速度イオン注入を行い、図11に示すようにn型エピ層1の表面より約1 μ m程度の部分に中心飛程をもってくるようにしても良い。このようにすれば、p⁺型コンタクト領域9の濃度を高くしてもチャネル部分の濃度を低く抑えることができるという効果が得られる。なお、p⁺型コンタクト領域9の形成時には垂直方向からイオン注入を行うのが好ましい。

【0090】さらに、上記実施形態に示すLDMOS

は、例えば図12に示すようなPチャネルMOSトランジスタ、すなわちn型エピ層1の上部に形成されたn型層31の表層部にp⁺型ソース領域41およびp⁺型ドレイン領域42が形成され、各p⁺型ソース領域41とp⁺型ドレイン領域42との間をチャネル領域として、チャネル領域上にゲート酸化膜43を介してゲート電極44が形成され、さらに層間絶縁膜45を介してソース電極46およびドレイン電極47が形成されたMOSトランジスタと共に形成される場合がある。この場合、LDMOSに備えられるn型領域6の形成工程と、隣接し合うセル間、具体的には隣接し合うPチャネルMOSトランジスタのソース・ドレイン間に配置されるn型領域48の形成工程とを共用することが可能である。これにより、製造工程の簡略化を図ることができる。

【0091】なお、以上の説明ではnチャネルタイプのLDMOSについて説明したが、もちろん導電型を反転させたpチャネルタイプのLDMOSにも本発明を適用することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態におけるLDMOSの断面構造を示す図である。

【図2】図1のA-A'部分における濃度プロファイルを示す図である。

【図3】図1に示すLDMOSのブレイクダウン時における電流電圧特性を示す図である。

【図4】図1に示すLDMOSを用いて、ドレイン電流及びドレイン電圧をシミュレーション解析した時の図である。

【図5】図1に示すLDMOSの製造工程を示す図である。

【図6】図5に続くLDMOSの製造工程を示す図である。

【図7】図6に続くLDMOSの製造工程を示す図である。

【図8】図7に続くLDMOSの製造工程を示す図である。

【図9】他の実施形態に示すLDMOSの断面構造を示

す図である。

【図10】他の実施形態に示すLDMOSの断面構造を示す図である。

【図11】他の実施形態に示すLDMOSの断面構造を示す図である。

【図12】他の実施形態に示すLDMOSと共に形成するMOSトランジスタの断面構造を示す図である。

【図13】ESDサージ時を想定した回路図である。

【図14】図13に示す回路を用いてドレイン電流及びドレイン電圧をシミュレーション解析した時の図である。

【図15】LDMOSの負性抵抗特性を説明するための図である。

【図16】電流値を変えて電界強度分布の変化を調べた時の図である。

【図17】図16のA-A'部における電界強度を示す図である。

【図18】本発明者らが考えたLDMOSの断面構造を示す図である。

【図19】n型領域の濃度変化と負性抵抗特性との関係を調べた図である。

【図20】図19に示すn型領域の濃度変化の範囲を説明した図である。

【図21】図18に示すLDMOSからソース領域を削除したダイオード構造を示す図である。

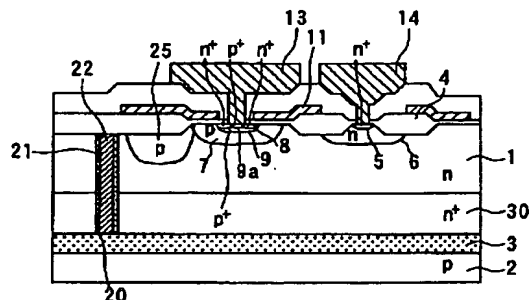
【図22】図21に示すダイオード構造の負性抵抗特性を示す図である。

【図23】ドレイン電流値を変化させて電界強度分布を調べた時の図である。

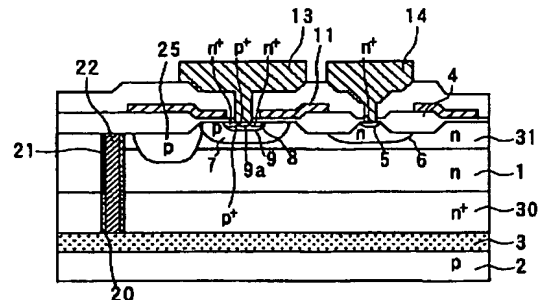
【符号の説明】

1…n型基板、2…p型基板、3…絶縁膜、4…絶縁膜、5…n⁺型ドレイン領域、6…n型領域、7…p型ベース領域、8…n⁺型ソース領域、9…p⁺型コンタクト領域、10…ゲート絶縁膜、11…ゲート電極、12…層間絶縁膜、13…ソース電極、14…ドレイン電極。

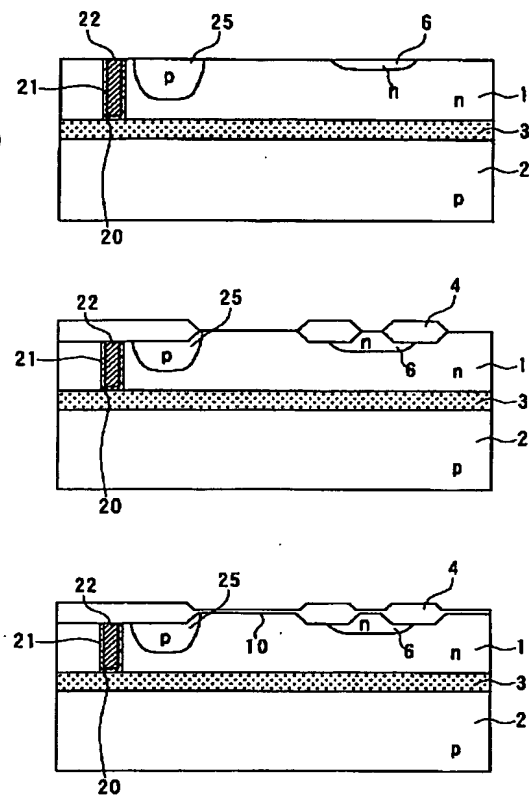
【図9】



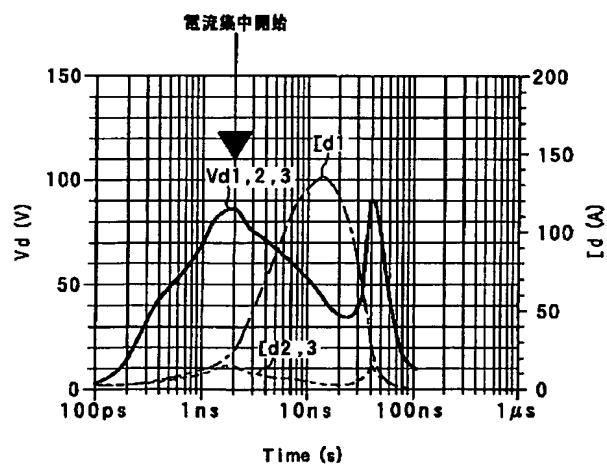
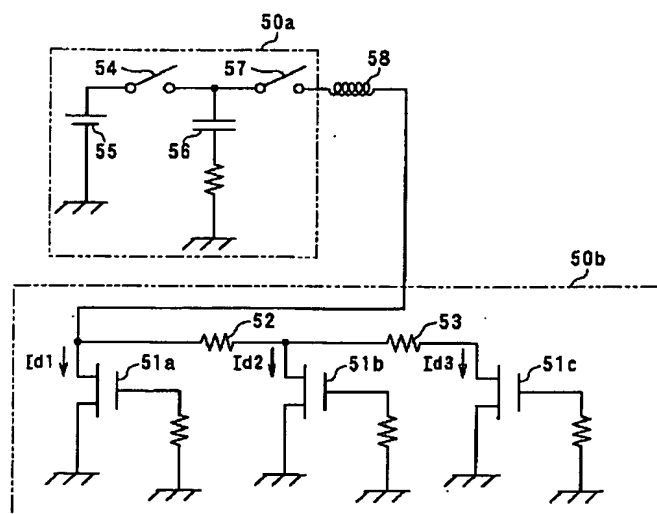
【図10】



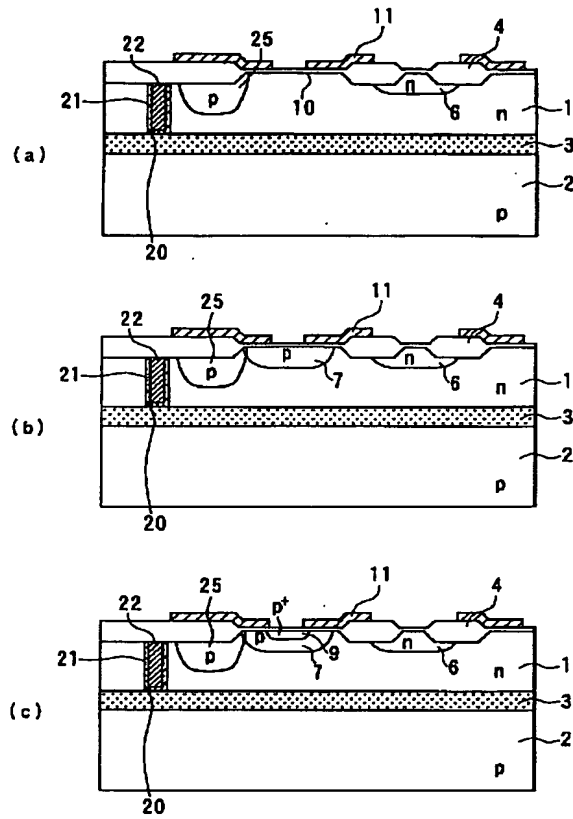
【図 6】



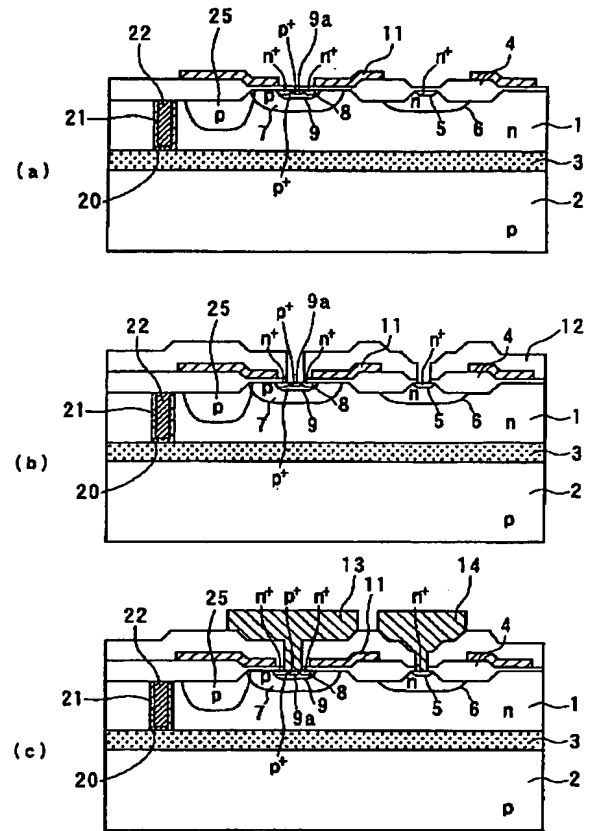
【图 14】



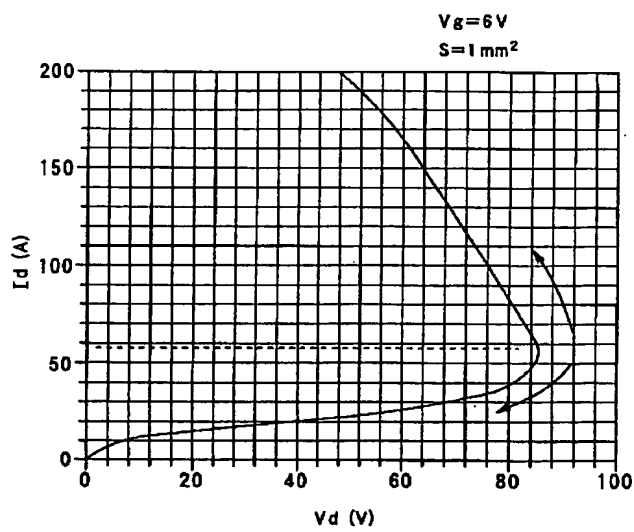
【図7】



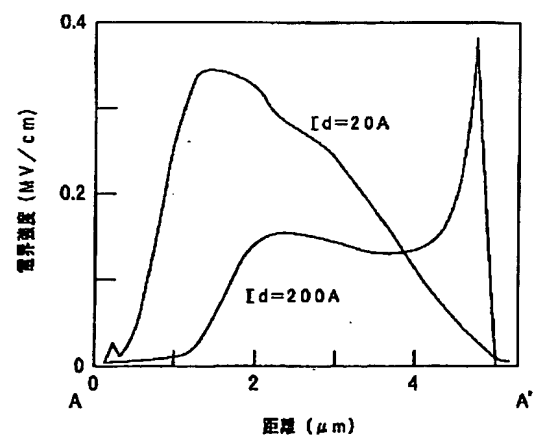
【図8】



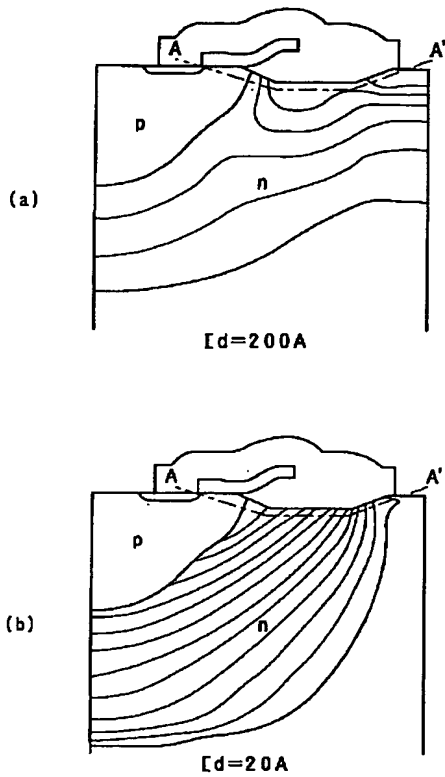
【図15】



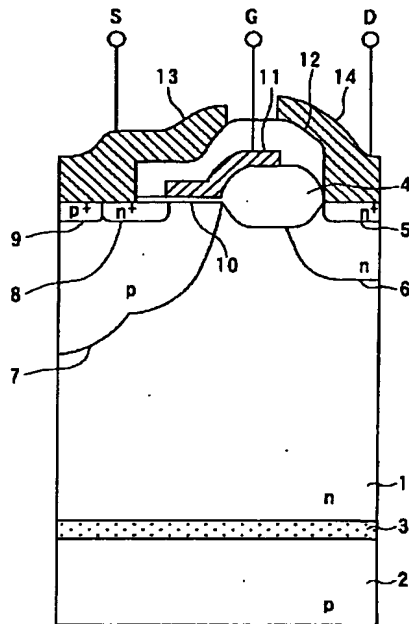
【図17】



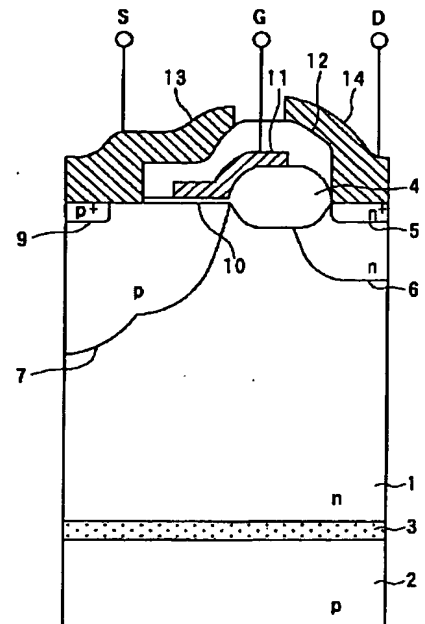
【図16】



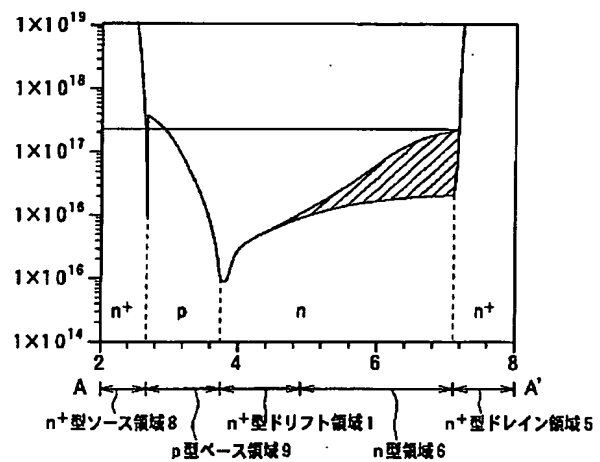
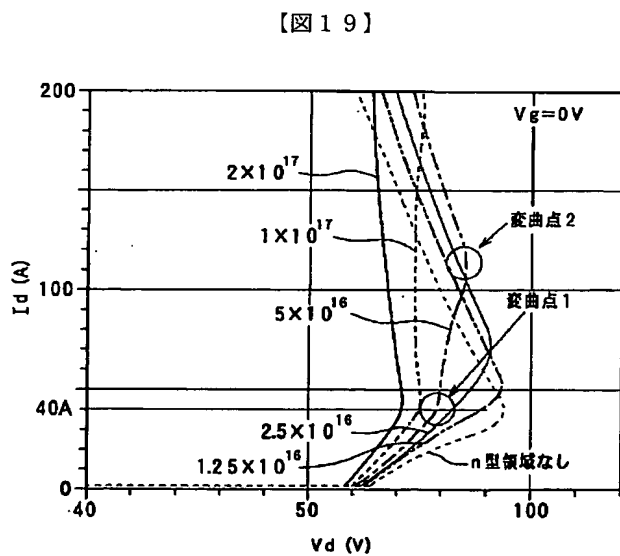
【図18】



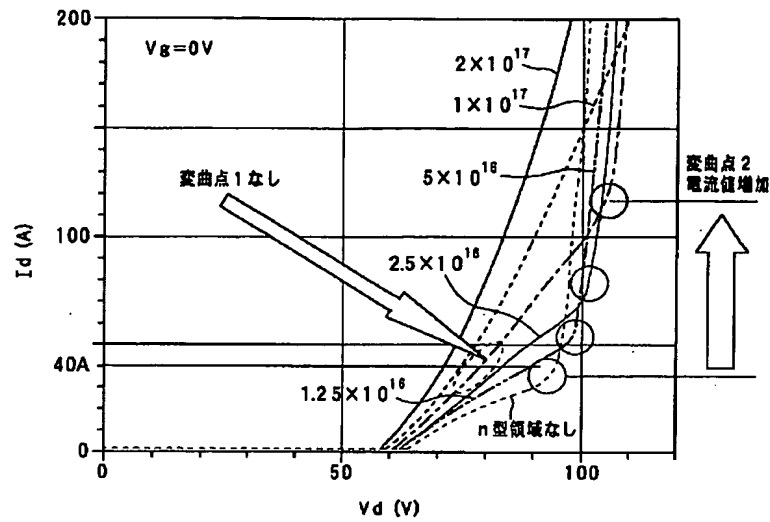
【図21】



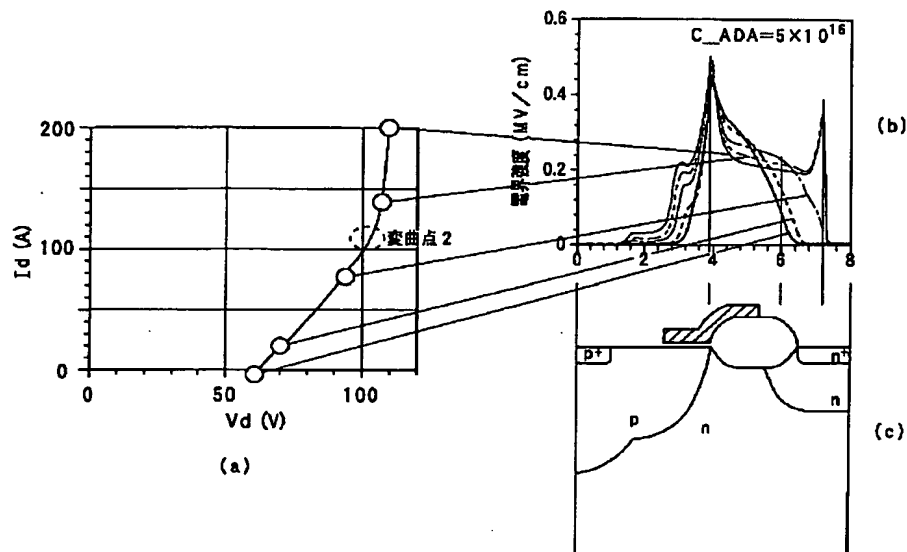
【図20】



【図22】



【図23】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テマコード (参考)

H 0 1 L 29/78

6 1 8 F

6 2 2

(72) 発明者 白木 聡

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 加藤 政利

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

Fターム(参考) 5F038 AV06 BH07 BH13 EZ06 EZ13
EZ14 EZ20
5F110 AA22 BB04 BB12 CC02 DD05
DD13 EE22 FF02 FF12 HJ01
HJ04 HJ13 HL03 HL22 HM12
NN22 NN62 NN65 QQ11 QQ17